

## SHUSAKU YAMAMOTO

U.S. Patent Application S.N. 09/103,873

(2)

Partial Translation of Japanese Laid-Open Publication

Laid-Open Publication Number: 6-350083

Laid-Open Publication Date: December 22, 1994

Title of the Invention: Ceramic-sealed semiconductor device

Application Number: 5-140295

Filing Date: June 11, 1993

Inventors: Shin'ichi YOSHIOKA et al.

Applicant: National Space Development Agency

(page (2), left column, lines 34 to 37]

[Field of the Invention] The present invention relates to a ceramic-sealed semiconductor device, and in particular to a technology effectively applicable for a ceramic-sealed semiconductor device used in environment where resistance against radiation is required.

(page (3), left column, lines 22 to 40)

[Means for Solving the Problems] Representatives of inventions among the inventions disclosed by the present application are generally as follows.

[0014] (1) A ceramic-sealed semiconductor device, formed by sealing a semiconductor pellet with a ceramic package, the semiconductor pellet including a device isolating insulation film formed on an inactive region of a main surface of a semiconductor area; a first MISFET and a second MISFET respectively formed in a first active region and a second active region of a main surface of the semiconductor area, the first and second active regions being isolated from each other by the device isolating insulation film; and an insulation film formed on the device isolating insulation film with an interconnection layer interposed therebetween,



SHUSAKU YAMAMOTO

U.S. Patent Application S.N. 09/103,873

wherein the insulation film includes a silicon nitride film.

[0015] (2) The insulation film is formed of a silicon oxide film and a silicon nitride film which are sequentially deposited.

[0016] (3) The silicon nitride film is formed to have a thickness of 0.6  $\mu\text{m}$  to 2.0  $\mu\text{m}$ .

[0017] (4) The first MISFET and the second MISFET are each formed on the main surface of an epitaxial substrate, which is a semiconductor substrate having an epitaxial layer formed on the main surface thereof, the epitaxial layer having a lower impurity concentration than that of the semiconductor substrate.

(page (5), right column, lines 4 to 16)

[0045] A final protective film 24 is formed on the entire surface of an interlayer insulating film 22 including a third layer interconnection 23. The final protective film 24 has, for example, a two-layer structure including a lower silicon oxide film 24A and an upper silicon nitride film 24B which are sequentially deposited. The upper silicon nitride film 24B is deposited by, for example, plasma CVD. The lower silicon oxide film 24A is deposited by, for example, plasma CVD using a source gas mainly containing tetraethoxysilane (TEOS) gas. The plasma CVD forms the silicon oxide film 24A at a low temperature. Since the lower silicon oxide film 24A has a lower dielectric constant than that of the upper silicon nitride film 24B, the interconnection capacitance can be reduced compared to in a structure including the silicon nitride



**SHUSAKU YAMAMOTO**

U.S. Patent Application S.N. 09/103,873

film 24B immediately on the third layer interconnection 23. Thus, the operating speed of the ceramic-sealed semiconductor device is improved.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-350083

(43)公開日 平成6年(1994)12月22日

(51) Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

### 技術表示箇所

H01L 29/784

21/76

23/08

S 9169-4M

C

9054-4M

9054-4M

H01L 29/78

301 N

301 Z

審査請求 未請求 請求項の数 6 OL (全 11 頁) 最終頁に続く

(21)出題番号

特願平5-140295

(22) 出題日

平成5年(1993)6月11日

(71)出願人 000119933

宇宙開発事業団

東京都港区浜松町2丁目4番1号

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 吉岡 真一

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(72)発明者 黒田 謙一

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(74) 代理人 弁理士 秋田 収喜

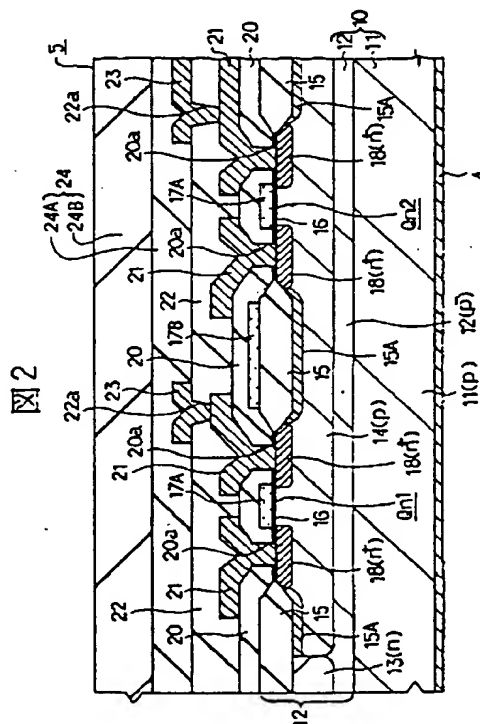
**最終頁に続く**

(54) 【発明の名称】 セラミックス封止型半導体装置

(57) 【要約】

【目的】 セラミック封止型半導体装置のトータルドーズ耐性を高める。

【構成】 半導体領域 14 の主面の非活性領域上に素子分離絶縁膜 15 が形成され、この素子分離絶縁膜 15 で互いに絶縁分離された前記半導体領域 14 の主面の第 1 活性領域に第 1 MISFETQn1、第 2 活性領域に第 2 MISFETQn2 の夫々が構成され、前記素子分離絶縁膜 15 上に配線層 17A 又は 21 又は 23 を介して絶縁膜 20 又は 22 又は 24 が形成された半導体ベレット 5 をセラミックパッケージ 1 で封止したセラミック封止型半導体装置であって、前記絶縁膜に窒化珪素膜 24B を包含する。



## 【特許請求の範囲】

【請求項 1】 半導体領域の主面の非活性領域上に素子分離絶縁膜が形成され、この素子分離絶縁膜で互いに絶縁分離された前記半導体領域の主面の第 1 活性領域に第 1 MISFET、第 2 活性領域に第 2 MISFET の夫々が構成され、前記素子分離絶縁膜上に配線層を介在して絶縁膜が形成された半導体ベレットをセラミックスパッケージで封止したセラミックス封止型半導体装置であって、前記絶縁膜に窒化珪素膜が包含されていることを特徴とするセラミックス封止型半導体装置。

【請求項 2】 前記絶縁膜は最終保護膜であることを特徴とする請求項 1 に記載のセラミックス封止型半導体装置。

【請求項 3】 前記絶縁膜は、酸化珪素膜、窒化珪素膜の夫々を順次積層した積層膜で形成されていることを特徴とする請求項 1 又は請求項 2 に記載のセラミックス封止型半導体装置。

【請求項 4】 前記窒化珪素膜は、 $0.6\mu\text{m}$  乃至  $2.0\mu\text{m}$  の膜厚で形成されていることを特徴とする請求項 1 乃至請求項 3 のうちいずれか 1 項に記載のセラミックス封止型半導体装置。

【請求項 5】 前記第 1 MISFET、第 2 MISFET の夫々は、半導体基板の主面上にこの半導体基板の不純物濃度に比べて低濃度のエピタキシャル層が形成されたエピタキシャル基板の主面に構成されていることを特徴とする請求項 1 乃至請求項 4 のうちいずれか 1 項に記載のセラミックス封止型半導体装置。

【請求項 6】 前記セラミックス封止型半導体装置は、宇宙機器、原子力機器、飛行機等に使用されることを特徴とする請求項 1 乃至請求項 5 のうちいずれか 1 項に記載のセラミックス封止型半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、セラミックス封止型半導体装置に関し、特に、耐放射線性が要求される環境で使用されるセラミックス封止型半導体装置に適用して有効な技術に関するものである。

## 【0002】

【従来の技術】 宇宙機器、原子力機器等の電子部品として使用される半導体装置は、論理回路システム、記憶回路システム或はそれらの混合回路システムが搭載された半導体ベレット(半導体集積回路装置)をセラミックスパッケージで気密封止する所謂セラミックス封止型で構成される。この種のセラミックス封止型半導体装置は例えば PGA(Pin Grid Array) 型のセラミックスパッケージで構成される。

【0003】 前記セラミックス封止型半導体装置は、ベース基板のベレット搭載面上に半導体ベレットを搭載し、この半導体ベレットをベース基板及び封止用キャップで形成されるキャビティ内に気密封止する。

【0004】 前記ベース基板は、例えばアルミナで形成され、多層配線構造で構成される。このベース基板のベレット搭載面側には複数の電極が配列され、ベレット搭載面と対向する裏面側には複数のリードピンが配列される。

【0005】 前記半導体ベレットは、例えば単結晶珪素からなる半導体基板を主体にして構成される。半導体基板の主面には、前述の回路システムを構成する半導体素子として例えば MOSFET (Metal Oxide Semiconductor Field Effect Transistor) が構成される。MOSFET は半導体基板の主面の活性領域に構成される。活性領域は、半導体基板の主面の非活性領域上に形成された素子分離絶縁膜(フィールド絶縁膜)で周囲を囲まれ、他の活性領域と互いに分離される。素子分離絶縁膜は、例えば半導体基板の主面の非活性領域上を周知の選択酸化法で酸化して形成した酸化珪素膜で形成される。半導体ベレットの主面上には層間絶縁膜を介在して MOSFET に電気的に接続される配線層が形成される。この配線層は単層配線構造又は多層配線構造で構成される。

【0006】 前記半導体ベレットの素子形成面側には複数の外部端子(ボンディングパッド)が配列される。この外部端子は、ボンディングワイヤを介してベース基板の電極に電気的に接続される。つまり、半導体ベレットの外部端子は、ボンディングワイヤ、ベース基板の電極及び多層配線構造の配線を介してリードピンに電気的に接続される。

【0007】 このように構成されるセラミックス封止型半導体装置は、他の分野と全く異なる厳しい放射線環境で使用されるため、放射線に対する耐性(耐放射線性)の強化が必要である。耐放射線性は、照射された放射線の総量で特性劣化が決定されるトータルドーズ耐性と、単一の高エネルギー粒子の照射によって引き起こされる事象に対するシングルイベント耐性とに大別される。

## 【0008】

【発明が解決しようとする課題】 本発明者は、前述の厳しい放射線環境で使用されるセラミックス封止型半導体装置について、トータルドーズ耐性に関する以下の問題点を見出した。

【0009】 前記セラミックス封止型半導体装置において、半導体ベレットには、例えば半導体基板をチャネル形成領域、素子分離絶縁膜をゲート絶縁膜、素子分離絶縁膜上の配線をゲート電極、一方の MOSFET のソース領域をソース領域、他方の MOSFET のドレイン領域をドレイン領域とする寄生 MOSFET を構成する構造が多々含まれている。この寄生 MOSFET のしきい値電圧(スレッショルド電圧:  $V_{th}$ ) は、素子分離絶縁膜の下に寄生 MOSFET が形成される基板又はウェル領域と同一導電型で形成され、かつそれに比べて高い不純物濃度に設定された半導体領域(チャネルストップバ



領域)を設けることにより、例えば20[V]以上に設定される。

【0010】しかしながら、外部からセラミックスパッケージを透過してキャビティ内に侵入した放射線(特に $\gamma$ 線)が半導体ベレットに照射されると、その電離作用によって素子分離絶縁膜中に電子正孔対が生成される。素子分離絶縁膜中では電子の移動度が正孔に比べて数桁大きく、電子は再結合する確率が高いので、結果的に素子分離絶縁膜には正電荷が蓄積される。このため、NMOS間に形成される寄生MOSFETのしきい値電圧が例えば2~5[V]程度に低下し、MOSFET間に流れるリーク電流が増大し、MOSFET等の素子の破損に至るといった問題があった。

【0011】本発明の目的は、寄生MOSFETによるリーク電流を防止し、セラミックス封止型半導体装置の信頼性を高めることが可能な技術を提供することにある。

【0012】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0014】(1)半導体領域の主面の非活性領域上に素子分離絶縁膜が形成され、この素子分離絶縁膜で互いに絶縁分離された前記半導体領域の主面の第1活性領域に第1MISFET、第2活性領域に第2MISFETの夫々が構成され、前記素子分離絶縁膜上に配線層を介在して絶縁膜が形成された半導体ベレットをセラミックスパッケージで封止したセラミックス封止型半導体装置であって、前記絶縁膜に窒化珪素膜を包含する。

【0015】(2)前記絶縁膜を、酸化珪素膜、窒化珪素膜の夫々を順次積層した積層膜で形成する。

【0016】(3)前記窒化珪素膜を、0.6 $\mu$ m乃至2.0 $\mu$ mの膜厚で形成する。

【0017】(4)前記第1MISFET、第2MISFETの夫々を、半導体基板の主面上にこの半導体基板の不純物濃度に比べて低濃度のエピタキシャル層が形成されたエピタキシャル基板の主面に構成する。

【0018】

【作用】上述した手段(1)によれば、窒化珪素膜に含まれる水素が半導体基板又はウエル領域と素子分離絶縁膜との界面に影響して負の界面準位を形成し、MISFET間の半導体基板又はウエル領域をチャネル形成領域、素子分離絶縁膜をゲート絶縁膜、配線層をゲート電極、第1MISFETのソース領域又はドレイン領域をソース領域又はドレイン領域、第2MISFETのドレイン領域又はソース領域をドレイン領域又はソース領域とする寄生MOSFETのしきい値電圧(スレッショホ

ルド電圧:  $V_{th}$ )を高めることができるので、放射線(特に $\gamma$ 線)の照射によって素子分離絶縁膜中に生成された正電荷で寄生MOSFETのしきい値電圧が低下するのを抑制できる。この結果、MISFET間に流れるリーク電流を低減できるので、セラミックス封止型半導体装置の信頼性を高めることができる。

【0019】また、半導体ベレットに絶縁膜として窒化珪素膜を形成し、それをセラミック封止するだけで前述の効果が容易に得られるので、一般民生品の半導体ベレットを耐放射線性が要求される環境で使用可能なように容易に改善できる。この結果、半導体ベレットの回路、レイアウト等を再設計する必要がなくなるので、耐放射線性が要求されるセラミックス封止型半導体装置の製造コストを低減できる。

【0020】上述した手段(2)によれば、酸化珪素膜は窒化珪素膜に比べて誘電率が低いので、下層の配線層上に直に窒化珪素膜を形成した場合に比べて配線容量を低減でき、セラミックス封止型半導体装置の動作速度の高速化を図ることができる。

【0021】上述した手段(3)によれば、半導体ベレットをセラミックスパッケージで封止する際、封止温度に起因する窒化珪素膜の亀裂を防止できるので、セラミックス封止型半導体装置の信頼性を高めることができる。

【0022】また、ミルスペックのSグレードに相当するトータルドーズ耐性を達成することができるので、セラミックス封止型半導体装置の放射線に対する信頼性を高めることができる。

【0023】上述した手段(4)によれば、エピタキシャル基板は、通常のパルク基板に比べてラッチアップ耐性が強化されるので、第1MISFET、第2MISFETの夫々が相補型MISFETで構成される場合、高エネルギー粒子の入射に起因したサイリスタ構造の起動を抑制できる。

【0024】以下、本発明の構成について、セラミックス封止型半導体装置に本発明を適用した実施例とともに説明する。なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0025】

【実施例】(実施例1)本発明の実施例1であるセラミックス封止型半導体装置の概略構成を図1(断面図)に示す。

【0026】図1に示すように、セラミックス封止型半導体装置はPGA(Pin Grid Array)型のセラミックスパッケージ1で構成される。このセラミックス封止型半導体装置は、ベース基板2のベレット塔載面上に接着層4を介在して半導体ベレット(半導体集積回路装置)5を塔載し、この半導体ベレット5を封止用キャップ7で封止する。

【0027】前記ベース基板2は、例えばアルミナで形成され、図示しないが多層配線構造で構成される。ベース基板2のベレット塔載面上には複数の電極が配列され、ベレット塔載面と対向する裏面には複数のリードピン3が配列される。この電極、リードピン3の夫々は、前記多層配線構造の配線を介して電氣的に接続される。

【0028】前記半導体ベレット5は、ベース基板2のベレット塔載面上に接着層4で接着固定される。半導体ベレット5は、その素子形成面に論理回路システム、記憶回路システム或はそれらの混合回路システムが搭載される。半導体ベレット5の素子形成面側には複数の外部端子(ボンディングパッド)が配列される。この外部端子はボンディングワイヤ6を介してベース基板2の電極に電氣的に接続される。つまり、半導体ベレット5の外部端子は、ベース基板の電極及び配線を介してリードピン3に電氣的に接続される。接着層4は例えばAu膜で形成され、ボンディングワイヤは例えばAlワイヤで形成される。

【0029】前記ベース基板2の封止領域には封止リング8が固定される。この封止リング8には封止材9を介して封止用キャップ7が固定される。封止用キャップ7は、ベース基板2とで半導体ベレット5を収納しかつ気密封止するキャビティを構成する。つまり、セラミックスパッケージ1は、ベース基板2及び封止用キャップ7で形成されるキャビティ内に半導体ベレット5を気密封止する。封止用キャップ7は例えばコパール合金(Co-Ni-Fe合金)で形成される。この封止用キャップ7の表面(特に、封止部分)にはNiメッキ層、Auメッキ層の夫々が順次形成される。封止リング8は例えばタングステンで形成される。この封止リング8の表面にはNiメッキ層、Auメッキ層の夫々が順次形成される。封止材9は例えばAu-Sn合金で形成される。封止用キャップ7は、組立プロセス中での封止工程において、例えば350〔℃〕程度の熱処理炉を通すことによりベース基板2に固定される。

【0030】前記ベース基板2及び封止用キャップ7で形成され、封止リング8及び封止材9で気密封止されるキャビティ内には、組立プロセス中での封止工程で使用するガスが充填される。充填ガスとしては、例えば水素ガスが混入された窒素ガスが使用される。

【0031】次に、前記半導体ベレット5の具体的な構造について、図2(要部断面図)及び図3(要部断面図)を用いて簡単に説明する。なお、図2及び図3は、半導体ベレットの回路システムを構成する相補型MISFET(CMOS)を示す。

【0032】図2及び図3に示すように、半導体ベレット5は、例えば、単結晶珪素からなるp型半導体基板11の主面上に気相化学成長法でp型エピタキシャル層(半導体層)12が形成されたエピタキシャル基板10を主体にして構成される。

【0033】前記p型エピタキシャル層12の主面の活性領域には、nチャネルMISFETQn1、nチャネルMISFETQn2、pチャネルMISFETQpの夫々が構成される。活性領域は、p型エピタキシャル層12の主面の非活性領域上に形成された素子分離絶縁膜15で周囲を囲まれ、他の活性領域と互いに分離される。素子分離絶縁膜15は、例えばp型エピタキシャル層12の主面の非活性領域上を周知の選択酸化法で酸化して形成した酸化珪素膜で形成される。

【0034】前記nチャネルMISFETQn1及びnチャネルMISFETQn2が構成されるp型エピタキシャル層12の主面にはp型ウエル領域14が形成される。また、前記pチャネルMISFETQpが構成されるp型エピタキシャル層12の主面にはn型ウエル領域13が形成される。

【0035】前記nチャネルMISFETQn1は、素子分離絶縁膜15で周囲を囲まれた活性領域内においてp型ウエル領域14の主面に構成される。つまり、nチャネルMISFETQn1は、p型ウエル領域(チャネル形成領域)14、ゲート絶縁膜16、ゲート電極17A、ソース領域及びドレイン領域である一対のn型半導体領域18で構成される。

【0036】前記nチャネルMISFETQn2は、素子分離絶縁膜15で周囲を囲まれた活性領域内においてp型ウエル領域14の主面に構成される。つまり、nチャネルMISFETQn2は、p型ウエル領域(チャネル形成領域)14、ゲート絶縁膜16、ゲート電極17A、ソース領域及びドレイン領域である一対のn型半導体領域18で構成される。

【0037】前記p型ウエル領域14内において、素子分離絶縁膜15の下には、p型ウエル領域14と同一導電型で形成され、かつそれに比べて高い不純物濃度に設定されたp型半導体領域(チャネルストッパ領域)15Aが形成される。このp型半導体領域15Aは、nチャネルMISFETQn1とnチャネルMISFETQn2との間の寄生MOSFETのしきい値電圧を上げる為に設けられている。

【0038】前記pチャネルMISFETQpは、素子分離絶縁膜15で周囲を囲まれた活性領域内においてn型ウエル領域13の主面に構成される。つまり、pチャネルMISFETQpは、n型ウエル領域(チャネル形成領域)13、ゲート絶縁膜16、ゲート電極17A、ソース領域及びドレイン領域である一対のn型半導体領域19で構成される。

【0039】前記ゲート絶縁膜16は、例えばp型エピタキシャル層12の主面の活性領域上を酸化して形成した酸化珪素膜で形成される。ゲート電極17Aは、ゲート絶縁膜16上に形成され、例えばCVD法で堆積した多結晶珪素膜で形成される。この多結晶珪素膜には、その堆積中又は堆積後に抵抗値を低減する不純物(例えば

n型不純物)が導入される。

【0040】前記nチャネルMISFETQn1において、ソース領域及びドレイン領域である一対のn型半導体領域18の夫々には、層間絶縁膜20に形成された接続孔20aを通して第2層目の配線21が電気的に接続される。この一対のn型半導体領域18のうち、一方のn型半導体領域18に接続される第2層目の配線21には、層間絶縁膜22に形成された接続孔22aを通して第3層目の配線23が電気的に接続される。

【0041】前記nチャネルMISFETQn2において、ソース領域及びドレイン領域である一対のn型半導体領域18の夫々には、層間絶縁膜20に形成された接続孔20aを通して第2層目の配線21が電気的に接続される。この一対のn型半導体領域18のうち、一方のn型半導体領域18に接続される第2層目の配線21には、層間絶縁膜22に形成された接続孔22aを通して第3層目の配線23が電気的に接続される。

【0042】前記pチャネルMISFETQpにおいて、ソース領域及びドレイン領域である一対のp型半導体領域19の夫々には、層間絶縁膜20に形成された接続孔20aを通して第2層目の配線21が電気的に接続される。この一対のp型半導体領域19のうち、一方のp型半導体領域19に接続される第2層目の配線21には、層間絶縁膜22に形成された接続孔22aを通して第3層目の配線23が電気的に接続される。

【0043】前記層間絶縁膜20は、nチャネルMISFETQn1、Qn2、pチャネルMISFETQpの夫々と第2層目の配線21との絶縁分離を行い、例えばCVD法で堆積した酸化珪素膜で形成される。第2層目の配線21は、製造工程において第1層目金属配線形成工程により形成され、例えばアルミニウム膜又はアルミニウム合金膜で形成される。アルミニウム合金膜は、Cu、又はCu及びSiを添加したアルミニウム膜である。層間絶縁膜22は、第2層目の配線21と第3層目の配線23との絶縁分離を行い、例えばCVD法で堆積した酸化珪素膜で形成される。第3層目の配線23は、製造工程において第2層目金属配線形成工程により形成され例えばアルミニウム膜又はアルミニウム合金膜で形成される。

【0044】前記nチャネルMISFETQn1とMISFETQn2との間の素子分離絶縁膜15上には例えば第1層目の配線17Bが形成される。第1層目の配線17Bは、前述のゲート電極17Aと同一の製造工程で形成され、多結晶珪素膜で形成される。nチャネルMISFETQn1とQn2との間の領域には、これに限定されないが、p型ウエル領域14をチャネル形成領域、素子分離絶縁膜15をゲート絶縁膜、第1層目の配線17Bをゲート電極、nチャネルMISFETQn1のn型半導体領域18をソース領域又はドレイン領域、nチャネルMISFETQn2のn型半導体領域18をドレ

イン領域又はソース領域とする寄生MOSFETの構成が存在している。

【0045】前記第3層目の配線23上を含む層間絶縁膜22上の全面には最終保護膜24が形成される。この最終保護膜24は例えば下層の酸化珪素膜24A、上層の窒化珪素膜24Bの夫々を順次堆積した2層構造で構成される。上層の窒化珪素膜24Bは例えばプラズマCVD法で堆積される。下層の酸化珪素膜24Aは、例えばソースガスの主体としてテトラエソキシシラン(TEOS)ガスが使用されるプラズマCVD法で堆積される。このプラズマCVD法は低温度で酸化珪素膜24Aを形成できる。下層の酸化珪素膜24Aは上層の窒化珪素膜24Bに比べて誘電率が低いので、第3層目の配線23上に窒化珪素膜24Bを直に形成した場合に比べて配線容量を低減でき、セラミックス封止型半導体装置の動作速度の高速化を図ることができる。

【0046】前記上層の窒化珪素膜24Bは水素を多く含んでいる。この窒化珪素膜24B中の水素は、p型ウエル領域14と素子分離絶縁膜15との界面に影響して負の界面準位を形成し、nチャネルMISFETQn1とQn2との間の寄生MOSFETのしきい値電圧(スレッショルド電圧:  $V_{th}$ )を高めることができる。この窒化珪素膜24B中に含まれる水素による作用は、外部からセラミックスパッケージ1を透過してキャビティ内に侵入した放射線(特に $\gamma$ 線)の照射によって素子分離絶縁膜15中に生成される正電荷による寄生MOSFETのしきい値電圧の低下を低減し、放射線の照射に起因した寄生MOSFETのしきい値電圧の変動を抑制できる。この寄生MOSFETの放射線照射前後の利得特性を図4(概念図)に示す。図4中、(A)は放射線照射前の利得特性を示し、(B)は窒化珪素膜24Bが形成されていない場合の放射線照射後の利得特性を示し、(C)は窒化珪素膜24Bが形成されている場合の放射線照射後の利得特性を示す。図4に示すように、窒化珪素膜24Bが形成されていない場合、寄生MOSFETのしきい値電圧は、素子分離絶縁膜15中に生成された正電荷によって負の方向(2)に変動する。窒化珪素膜24Bが形成されている場合、寄生MOSFETのしきい値電圧の変動量は、素子分離絶縁膜15中に生成された正電荷によって負の方向(2)に変動する量と、負の界面準位によって正の方向(1)に変動する量の差となる。つまり、窒化珪素膜24Bを形成することにより、放射線の照射に起因した寄生MOSFETのしきい値電圧の低下を抑制できるので、nチャネルMISFETQn1とnチャネルMISFETQn2との間(素子分離絶縁膜15下)に流れるリーク電流を低減でき、セラミックス封止型半導体装置のトータルドーズ耐性を高めることができる。

【0047】前記窒化珪素膜24Bは0.6 [ $\mu\text{m}$ ]乃至2.0 [ $\mu\text{m}$ ]の膜厚で形成される。この窒化珪素膜24Bの膜厚とトータルドーズ耐性との関係を図5に示

す。図5に示すように、窒化珪素膜24Bの膜厚が増加するにつれて耐性は強化される。窒化珪素膜24Bの膜厚が0.3[ $\mu\text{m}$ ]までは急激に強化されるが、0.5[ $\mu\text{m}$ ]以上は飽和傾向になる。1000Gy(Si)はミルスベックのSグレードに相当する耐性であり、0.6[ $\mu\text{m}$ ]の膜厚でSグレードの耐性を実現できる。

【0048】一方、窒化珪素膜24Bは熱膨張係数が大きいので、厚い窒化珪素膜24Bを形成すると、セラミックス封止型半導体装置の組立プロセス中の封止工程においてベース基板2の封止領域に封止用キャップ7を封止する際の熱処理で窒化珪素膜24Bに亀裂が発生する。この窒化珪素膜24Bの亀裂は酸化珪素膜24Aの亀裂を誘発し、配線23にまで及ぶ。この窒化珪素膜24Bの膜厚と封止温度との関係を図6に示す。図6に示すように、封止温度が350[ $^{\circ}\text{C}$ ]の場合、窒化珪素膜24Bの膜厚が2.5[ $\mu\text{m}$ ]になると亀裂が発生する。封止温度が400[ $^{\circ}\text{C}$ ]の場合、窒化珪素膜24Bの膜厚が2.5[ $\mu\text{m}$ ]になると亀裂が発生する。封止温度が450[ $^{\circ}\text{C}$ ]の場合、窒化珪素膜24Bの膜厚が1.0[ $\mu\text{m}$ ]になると亀裂が発生する。

【0049】これらの図5及び図6の結果から、本発明者は、窒化珪素膜24Bの膜厚が0.6[ $\mu\text{m}$ ]以上であればミルスベックのSグレードの耐性を実現でき、封止温度が400[ $^{\circ}\text{C}$ ]以下の条件で窒化珪素膜24Bの膜厚が2.0[ $\mu\text{m}$ ]以下であれば亀裂の発生がないことから、窒化珪素膜24Bの膜厚を前述のように0.6[ $\mu\text{m}$ ]乃至2.0[ $\mu\text{m}$ ]に設定するのが好ましい。

【0050】なお、本実施例において、窒化珪素膜24Bの膜厚は、許容範囲を考慮して例えば1.2[ $\mu\text{m}$ ]に設定される。

【0051】また、前記窒化珪素膜24Bは最終保護膜24の一部として最上層に形成されているが、素子分離絶縁膜15上の絶縁膜に窒化珪素膜が包含されていればよいので、層間絶縁膜20又は22を窒化珪素膜で形成してもよい。

【0052】また、放射線の照射によってゲート絶縁膜16中に生成された正電荷でnチャネルMISFETQn1、Qn2、pチャネルMISFETQpの夫々のしきい値電圧は変動するが、この変動量は非常に小さいので無視できる。ゲート絶縁膜16の膜厚は数[nm]と小さいのに対し、素子分離絶縁膜15の膜厚は500~600[nm]と厚い。このため、ゲート絶縁膜16を誘電体とするキャパシタの容量は大きくなるが、素子分離絶縁膜15を誘電体とするキャパシタの容量は小さい。つまり、一定の電荷に対する電圧変動は $V=Q/C$ により、ゲート絶縁膜16の部分では電圧変動量が小さい。従って、しきい値変動は無視できる。

【0053】前記エピタキシャル基板10は、p型半導体基板11の主面上にp型エピタキシャル層11が形成される。p型半導体基板11は例えば0.02[ $\Omega\text{-cm}$ ]

m]程度に設定された不純物濃度で形成される。p型エピタキシャル層12は例えば10[ $\Omega\text{-cm}$ ]程度に設定された不純物濃度で形成される。このように、前記エピタキシャル基板10を用いることにより、基板の抵抗を小さくできるので、nチャネルMISFETQn1とpチャネルMISFETQpとで寄生サイリスタ構造が形成されるのを防止することができる。以下に、このラッチアップについて説明する。

【0054】外部から封止用キャップ7を透過してキャビティ内に高エネルギー粒子が入射すると、そのエネルギーを失う過程で電子正孔対が発生する。この電子正孔対が雑音電流となって前記サイリスタ構造を起動するトリガとなる。この結果、ラッチアップが発生する。ラッチアップ耐性は、デバイスあたりの発生の断面積で表現できる。エピタキシャル基板10のラッチアップ耐性は $4\times 10^{-3}$ [cm/device]程度であり、通常のバルク基板のラッチアップ耐性は $2\times 10^{-7}$ [cm/device]以下である。断面積が小さいことはラッチアップ耐性が強化されていることを意味するので、エピタキシャル基板10を使用した場合、高エネルギー粒子の入射に起因するサイリスタ構造の起動を抑制できる。つまり、エピタキシャル基板10は、通常のバルク基板に比べてラッチアップ耐性が強化されるので、セラミックス封止型半導体装置のシングルイベント耐性を高めることができる。

【0055】このように構成されるセラミックス封止型半導体装置は、トータルドーズ耐性及びシングルイベント耐性が強化されるので、耐放射線性が要求される宇宙機器、原子力機器、飛行機等の電子部品として使用することができる。

【0056】次に、前記セラミックス封止型半導体装置の組立方法を図7(組立プロセスフロー図)を用いて簡単に説明する。

【0057】まず、単結晶珪素からなるp半導体基板11の主面上にp型エピタキシャル層12が形成された半導体ウエーハ(エピタキシャルウエーハ)を用意する。この後、前記半導体ウエーハの主面に素子分離絶縁膜15、半導体素子(Qn1、Qn2、Qp)、層間絶縁膜(20、22)、配線(17A、21、23)、最終保護膜24等を形成し、この半導体ウエーハの主面に、実質的に同一の回路システムが搭載された半導体ベレット形成領域を複数個行列状に形成する(10)。

【0058】次に、前記半導体ウエーハの主面に形成された半導体ベレット形成領域間をダイシングで切断し、半導体ベレット5を形成する(11)。

【0059】次に、前記半導体ベレット5をベース基板1のベレット搭載面上に接着層4を介在して固定する(12)。このベース基板2の封止領域には封止リング8が既に固定されている。

【0060】次に、前記半導体ベレット5の外部端子とベース基板2の電極とをボンディングワイヤ6で電氣的

に接続する(13)。

【0061】次に、前記ベース基板2の封止リング8に封止材9を介在して封止用キャップ7を固定し、ベース基板1及び封止用キャップ7で形成されるキャビティ内に前記半導体ベレット5を気密封止する(14)。この封止用キャップ7の封止は例えば350〔℃〕程度の封止温度で行う。この封止工程において、封止材としてAu-Snろう材を使用することにより、400〔℃〕以下の温度で半導体ベレット5の最終保護膜24である窒化珪素膜24Bの亀裂を発生させることなく半導体ベレット5をセラミックパッケージ1で封止することができる。これにより、セラミック封止型半導体装置が実質的に完成する(15)。

【0062】このように、本実施例によれば、以下の作用効果が得られる。

【0063】窒化珪素膜24Bに含まれる水素がp型ウエル領域14と素子分離絶縁膜15との界面に影響して負の界面準位を形成し、p型ウエル領域14をチャンネル形成領域、素子分離絶縁膜15をゲート絶縁膜、第1層目の配線17Bをゲート電極、nチャンネルMISFETQn1のn+型半導体領域18をソース領域又はドレイン領域、nチャンネルMISFETQn2のn+型半導体領域18をドレイン領域又はソース領域とする寄生MOSFETのしきい値電圧(スレッショルド電圧:  $V_{th}$ )を高めることができるので、外部からセラミックパッケージ1を透過してキャビティ内に侵入した放射線(特に $\gamma$ 線)の照射によって素子分離絶縁膜15中に生成された正電荷で寄生MOSFETのしきい値電圧が低下するのを抑制できる。この結果、nチャンネルMISFETQn1とnチャンネルMISFETQn2との間に流れるリーク電流を低減できるので、セラミック封止型半導体装置のトータルドーズ耐性を高めることができる。

【0064】また、半導体ベレット5に絶縁膜として窒化珪素膜24Bを形成し、この半導体ベレット5をセラミックスパッケージ1で封止するだけで前述の効果が容易に得られるので、一般民生品の半導体ベレットを耐放射線性が要求される環境で使用可能なように容易に改良できる。この結果、半導体ベレットの回路、レイアウト等を再設計する必要がなくなるので、耐放射線性が要求されるセラミック封止型半導体装置の製造コストを低減できる。

【0065】また、酸化珪素膜24Aは、窒化珪素膜24Bに比べて誘電率が小さいので、配線23上に直に窒化珪素膜24Bを形成した場合に比べて配線容量を低減でき、セラミック封止型半導体装置の動作速度の高速化を図ることができる。

【0066】また、半導体ベレット5をセラミックパッケージ1で封止する際、封止温度に起因する窒化珪素膜24Bの亀裂を防止できるので、セラミック封止型半導体装置の信頼性を高めることができる。

【0067】また、ミルスベックのSグレードに相当するトータルドーズ耐性を強化できるので、放射線に対するセラミック封止型半導体装置の信頼性を高めることができる。

【0068】また、エピタキシャル基板10は、通常のバルク基板に比べてラッチアップ耐性が強化されるので、セラミック封止型半導体装置のシングルイベント耐性を高めることができる。

【0069】(実施例2) 本発明の実施例2であるセラミック封止型半導体装置に搭載される半導体ベレットの概略構成を図8(要部断面図)に示す。

【0070】図8に示すように、セラミック封止型半導体装置に搭載される半導体ベレット5は、nチャンネルMISFETQn1とQn2との間の領域に、p型ウエル領域14をチャンネル形成領域、素子分離絶縁膜15及び層間絶縁膜20をゲート絶縁膜、第2層目の配線21をゲート電極、nチャンネルMISFETQn1のn+型半導体領域18をソース領域又はドレイン領域、nチャンネルMISFETQn2のn+型半導体領域18をドレイン領域又はソース領域とする寄生MOSFETの構成が存在する。この場合においても、放射線(特に $\gamma$ 線)の照射に起因する寄生MOSFETのしきい値電圧の低下を窒化珪素膜24B中に含まれる水素の作用で抑制できるので、前述の実施例1と同様の効果が得られる。

【0071】(実施例3) 本発明の実施例3であるセラミック封止型半導体装置に搭載される半導体ベレットの概略構成を図9(要部断面図)に示す。

【0072】図8に示すように、セラミック封止型半導体装置に搭載される半導体ベレット5は、nチャンネルMISFETQn1とQn2との間の領域に、p型ウエル領域14をチャンネル形成領域、素子分離絶縁膜15、層間絶縁膜20及び22をゲート絶縁膜、第3層目の配線23をゲート電極、nチャンネルMISFETQn1のn+型半導体領域18をソース領域又はドレイン領域、nチャンネルMISFETQn2のn+型半導体領域18をドレイン領域又はソース領域とする寄生MOSFETの構成が存在する。この場合においても、放射線(特に $\gamma$ 線)の照射に起因する寄生MOSFETのしきい値電圧の低下を窒化珪素膜24B中に含まれる水素の作用で抑制できるので、前述の実施例1と同様の効果が得られる。

【0073】以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0074】

【発明の効果】 本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0075】 セラミック封止型半導体装置のトータルド

ース耐性を高めることができる。

【0076】セラミック封止型半導体装置の製造コストを低減できる。

【0077】セラミック封止型半導体装置の動作速度の高速化を図ることができる。

【0078】セラミック封止型半導体装置の信頼性を高めることができる。

【0079】セラミック封止型半導体装置の放射線に対する信頼性を高めることができる。

【0080】セラミック封止型半導体装置のシングルイベント耐性を高めることができる。

【図面の簡単な説明】

【図1】 本発明の実施例1であるセラミック封止型半導体装置の概略構成を示す断面図。

【図2】 前記セラミック封止型半導体装置に搭載される半導体ベレットの要部断面図。

【図3】 前記セラミック封止型半導体装置に搭載される半導体ベレットの要部断面図。

【図4】 寄生MOSFETの放射線照射前後の利得特性を示す概念図。

【図5】 窒化珪素膜の膜厚とトータルドーズ耐性との関係を示す図。

【図6】 窒化珪素膜の膜厚と封止温度との関係を示す図。

【図7】 前記セラミック封止型半導体装置の組立プロセスを説明するための組立プロセスフロー図。

【図8】 本発明の実施例2であるセラミック封止型半導体装置に搭載される半導体ベレットの要部断面図。

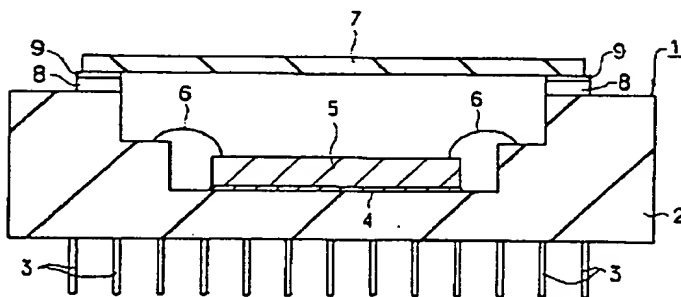
【図9】 本発明の実施例3であるセラミック封止型半導体装置に搭載される半導体ベレットの要部断面図。

【符号の説明】

1…セラミックパッケージ、2…ベース基板、3…リードピン、4…接着層、5…半導体ベレット(半導体集積回路装置)、6…ボンディングワイヤ、7…封止用キャップ、8…封止リング、9…封止材、10…エピタキシャル基板、11…p型半導体基板、12…p型エピタキシャル層、13…n型ウエル領域、14…p型ウエル領域、15…素子分離絶縁膜、16…ゲート絶縁膜、17A…ゲート電極、17B…第1層目の配線、18…n+型半導体領域、19…p+型半導体領域、20…層間絶縁膜、21…第2層目の配線、22…層間絶縁膜、23…第3層目の配線、24…最終保護膜、24A…酸化珪素膜、24B…窒化珪素膜。

【図1】

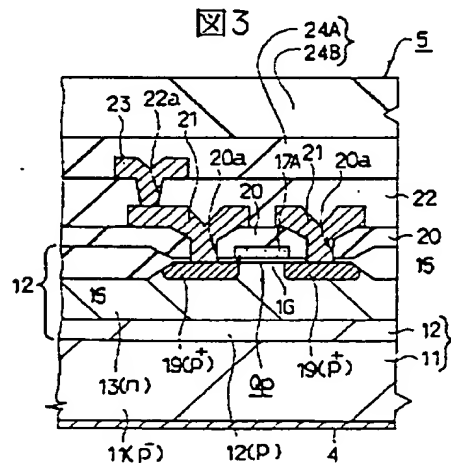
図1



【図6】

図6

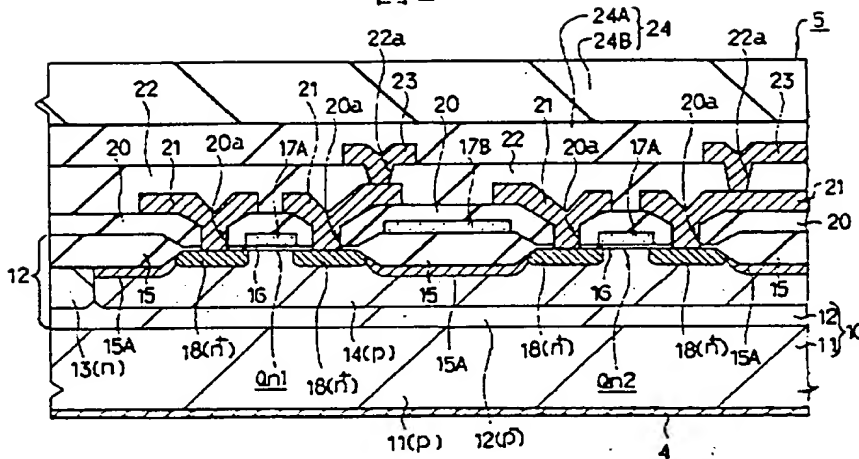
【図3】



窒化珪素膜の 膜厚 (μm)	封 止 温 度 [℃]		
	350	400	450
1.0	○	○	×
1.5	○	○	×
2.0	○	○	×
2.5	×	×	×

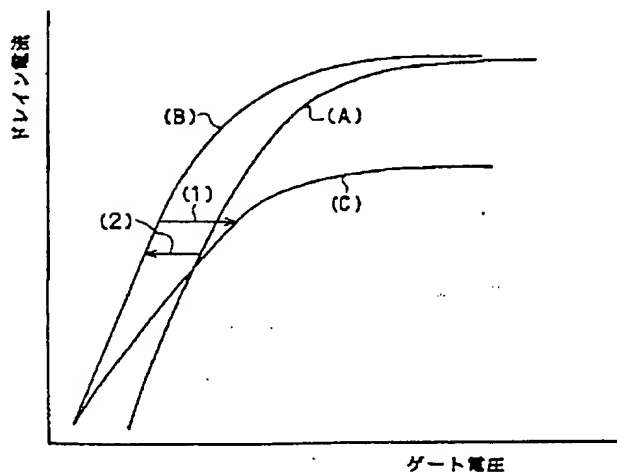
【図2】

図2



【図4】

図4



【図5】

図5

